

PCT

WELTOORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



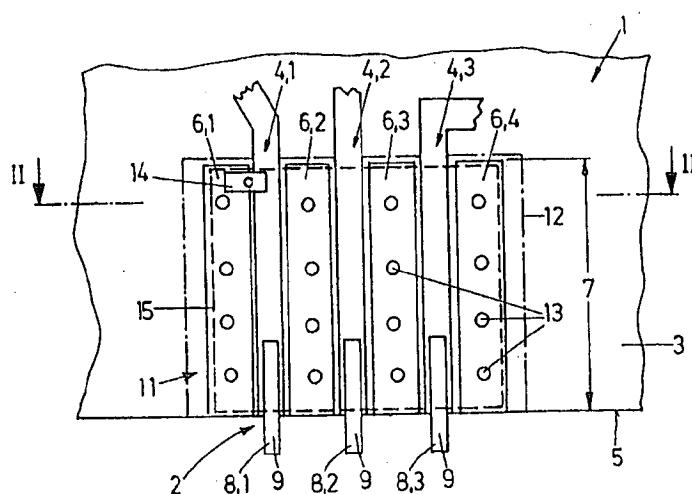
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7 : H01R 12/04, 13/66, 13/719	A1	(11) Internationale Veröffentlichungsnummer: WO 00/16446
		(43) Internationales Veröffentlichungsdatum: 23. März 2000 (23.03.00)

(21) Internationales Aktenzeichen: PCT/DE99/02785	(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 2. September 1999 (02.09.99)	
(30) Prioritätsdaten: 198 41 459.5 10. September 1998 (10.09.98) DE	Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>
(71) Anmelder (<i>für alle Bestimmungsstaaten ausser US</i>): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).	
(72) Erfinder; und	
(75) Erfinder/Anmelder (<i>nur für US</i>): BELAU, Horst [DE/DE]; Gabriele Münster Weg 2, D-84085 Langquaid (DE). HELD, Joachim [DE/DE]; Schönwerthstrasse 56, D-81739 München (DE). REINDL, Hartwig [DE/DE]; Nürnberger Strasse 8, D-80537 Feucht (DE). MEYER, Wolfram [DE/DE]; Asamstrasse 36, D-93051 Regensburg (DE).	
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).	

(54) Title: PRINTED CIRCUIT BOARD ARRANGEMENT WITH A MULTIPOLE PLUG-IN CONNECTOR

(54) Bezeichnung: LEITERPLATTENANORDNUNG MIT MEHRPOLIGEM STECKVERBINDER



(57) Abstract

A printed circuit board arrangement with a multipole plug-in connector (1) is fitted with plug pins that are respectively fixed to signal conductor tracks in a parallel position with respect to a printed circuit board layer (3). The signal conductor tracks (4) are arranged in a substantially parallel position and are alternately mounted side to side with ground conductor tracks (6). A ground screening surface (11) is also provided in an adjacent layer (10) of the printed circuit board.